

Docket No.: 67162-018

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Shu SHIMIZU

Serial No.:

:
:
:
:
:
:
:

Group Art Unit:

Filed: July 17, 2003

Examiner:

For: NONVOLATILE SEMICONDUCTOR MEMORY DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims the priority of:

Japanese Patent Application No. 2003-021755, filed January 30, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prg
Facsimile: (202) 756-8087
Date: July 17, 2003



日 本 国 特 許 庁
JAPAN PATENT OFFICE

67162-018
Shimizu
July 17, 2003
McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2003年 1月30日

出 願 番 号
Application Number:

特願2003-021755

[ST.10/C]:

[JP 2003-021755]

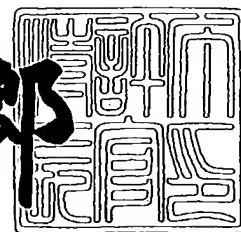
出 願 人
Applicant(s):

三菱電機株式会社

2003年 2月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3010903

【書類名】 特許願
【整理番号】 542745JP01
【提出日】 平成15年 1月30日
【あて先】 特許庁長官殿
【国際特許分類】 H01L 27/115
【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目2番3号 三菱電機株式会
社内

【氏名】 清水 秀

【特許出願人】

【識別番号】 000006013

【住所又は居所】 東京都千代田区丸の内二丁目2番3号

【氏名又は名称】 三菱電機株式会社

【代理人】

【識別番号】 100062144

【弁理士】

【氏名又は名称】 青山 葆

【選任した代理人】

【識別番号】 100086405

【弁理士】

【氏名又は名称】 河宮 治

【手数料の表示】

【予納台帳番号】 013262

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置

【特許請求の範囲】

【請求項 1】 半導体基板上に、フローティングゲート電極とコントロールゲート電極を有するトランジスタから成り、マトリックス状に配列された複数のメモリセルと、各メモリセルを素子分離するための素子分離絶縁膜と、前記コントロールゲート電極に対して自己整合的に形成されたソース線とを有する不揮発性半導体記憶装置であって、

前記半導体基板の表面は、前記ソース線の形成領域において、前記メモリセルの部分が凸部となり、前記素子分離絶縁膜が除去された部分が凹部となる周期的な凹凸形状を有し、

前記ソース線は、前記半導体基板の表面に沿って不純物が分布した拡散層と、前記拡散層よりも深い位置に不純物が分布した埋込拡散層とを有し、前記埋込拡散層が前記凹部底面にある拡散層同士を接続していることを特徴とする不揮発性半導体記憶装置。

【請求項 2】 前記凸部において、前記拡散層と前記埋込拡散層が接続されたことを特徴とする請求項 1 に記載の不揮発性半導体記憶装置。

【請求項 3】 読出し、書き込み、消去のいずれの動作においても、前記ソース線は接地電位若しくはフローティング状態であることを特徴とする請求項 1 又は 2 に記載の不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置に関し、特に、不揮発性半導体記憶装置に関する。

【0002】

【従来の技術】

不揮発性半導体記憶装置のうち、2層ゲート構造のメモリセルを有する半導体記憶装置において、素子の微細化を行うために、自己整合によってソース線を形成すること（SAS: Self Aligned Source）が良く行われている（例えば、特

許文献1など)。そのような不揮発性半導体記憶装置では、半導体基板上のある方向に素子分離絶縁膜がストライプ状に形成され、それと垂直な方向にはコントロールゲート電極がストライプ状に形成されている。ソース線は、素子分離絶縁膜をエッチングによって除去した後、コントロールゲート電極をマスクとして不純物イオンを注入することによって自己整合的に形成される。このような方法でソース線を形成することにより、ソース線とコントロールゲート電極との合わせずれを生じることがなく、メモリセルの微細化を図ることができる。

【0003】

【特許文献1】

特開平8-102531号公報、段落[0004]、図5

【0004】

【発明が解決しようとする課題】

しかしながら、上記従来の不揮発性半導体記憶装置では、素子分離絶縁膜を除去した後のシリコン基板に不純物を拡散することによってソース線を形成するため、素子分離絶縁膜を除去した後にシリコン基板表面に形成される凹部の影響によりソース線抵抗が大きくなる、という問題がある。即ち、ソース線を流れる電流は、各ソース領域から、素子分離絶縁膜を除去した後の凹部側面、凹部底面、凹部側面、及び隣接セルのソース領域を経由して流れることになるため、見掛けのソース線長に比べて、凹部側面の分だけ実効的なソース線長が長くなる。しかも、凹部側面は、凹部底面に比べて不純物が注入されにくく、高抵抗となり易いため、ソース線の抵抗は一層大きくなる。

【0005】

この問題は、高集積化のためにメモリセルを縮小すると顕著になり、特に、半導体基板に形成したトレンチ(=溝)に素子分離絶縁膜を埋め込むトレンチ素子分離を行う場合に一層顕著となる。即ち、トレンチ素子分離を行う場合、シリコン基板表面にトレンチ深さ分に対応した凹部が形成されることになるが、メモリセルのゲート幅(W)の縮小に比べてトレンチ深さはあまり縮小されない。そのため、メモリセルが縮小されるにつれて、メモリセルのゲート幅(W)方向の大きさに対する隣接メモリセル間のソース線長の比率が増加していくことになり、

単位ビット当たりのソース線抵抗が上昇する。

【 0 0 0 6 】

本発明は上記問題点に鑑みてなされたものであり、ソース線抵抗が低く、スケーラビリティに優れた不揮発性半導体記憶装置を提供することを目的とする。

【 0 0 0 7 】

【課題を解決するための手段】

上記目的を達成するために本発明の不揮発性半導体記憶装置は、半導体基板上に、フローティングゲート電極とコントロールゲート電極を有するトランジスタから成り、マトリックス状に配列された複数のメモリセルと、各メモリセルを素子分離するための素子分離絶縁膜と、前記コントロールゲート電極に対して自己整合的に形成されたソース線とを有する不揮発性半導体記憶装置であって、

前記半導体基板の表面は、前記ソース線の形成領域において、前記メモリセルの部分が凸部となり、前記素子分離絶縁膜が除去された部分が凹部となる周期的な凹凸形状を有し、

前記ソース線は、前記半導体基板の表面に沿って不純物が分布した拡散層と、前記拡散層よりも深い位置に不純物が分布した埋込拡散層とを有し、前記埋込拡散層が前記凹部底面にある拡散層同士を接続していることを特徴とする。

【 0 0 0 8 】

【発明の実施の形態】

実施の形態 1.

図 1 は、本発明の実施の形態 1 における不揮発性半導体記憶装置を部分的に拡大して示した平面図である。本実施の形態では、2 層ゲート構造を有するトランジスタをメモリセルとした不揮発性半導体記憶装置を例として説明する。本実施の形態に係る不揮発性半導体記憶装置は、半導体基板上にコントロール電極 1 4 がストライプ状に形成されており、コントロール電極 1 4 と垂直な方向に素子分離絶縁膜 6 がストライプ状に形成されている。コントロール電極 1 4 を挟んで、片側にソース線 3 0 が形成され、逆側にドレイン 1 8 が形成されており、メモリセルとなるトランジスタを構成している。ドレイン 1 8 は素子分離絶縁膜 6 によってメモリセルごとに分離されており、コンタクトホール 2 7 を介してビット線

(図示せず)に接続されている。ソース線30は、素子分離絶縁膜6を除去し、コントロールゲート電極14をマスクとして不純物イオンを注入することによって自己整合的に形成されている。

【0009】

図2は、図1のB-B'断面における断面図である。図2に示すように、素子分離絶縁膜6は、シリコン基板1に形成したトレンチ5に埋込まれており、いわゆるトレンチ素子分離(STI)となっている。素子分離絶縁膜6によって挟まれたシリコン基板1の凸部に2層ゲート構造のトランジスタが形成されている。即ち、シリコン基板1の凸部に接して、熱酸化膜から成るトンネル酸化膜7、ポリシリコンから成るフローティングゲート電極8、酸化膜/窒化膜/酸化膜の3層膜(=ONO膜)10、ポリシリコン13aとシリサイド13bから成るコントロールゲート電極14、酸化膜15が形成されている。また、BPSGから成る層間絶縁膜25を介して、コントロールゲート電極14に直交する方向にビット線28が形成されている。

【0010】

各メモリセルを構成するトランジスタの断面を図3に示す。図3は、図1のA-A'断面における断面図となっている。図3に示すように、2層ゲートの側面はサイドウォール23によって覆われており、さらに層間絶縁膜25によって覆われている。2層ゲートの両側にはドレイン18とソース線30が形成されている。ドレイン18はコンタクトホール27を介してビット線28と接続されている。一方、本発明の特徴であるソース線30は、トランジスタのソース領域を兼ねる拡散層30bと、拡散層30bよりも深い位置に形成された埋込拡散層30aによって構成されている。

【0011】

ソース線30の長手方向の断面図を図4に示す。図4は、図1のC-C'断面を示す断面図となっている。図4に示すように、ソース線30の形成領域において、半導体基板1の表面には、メモリセルの部分が凸部1aとなり、素子分離絶縁膜が除去された後のトレンチの部分が凹部5となる周期的な凹凸形状が形成されている。図4に示す断面において、シリコン基板の凸部1aは、メモリセルの

ソース領域に該当する。ソース線 3 0 は、従来と同様の深さに不純物が注入された拡散層 3 0 b と、拡散層 3 0 b よりも深い位置に不純物が注入された埋込拡散層 3 0 a の 2 層から成り、拡散層 3 0 b と埋込拡散層 3 0 a が互いに接統一体化してソース線 3 0 を構成している。埋込拡散層 3 0 a は、少なくとも、その不純物分布の下端がシリコン基板 1 の凸部 1 a の下方において凹部の底面 5 b よりも深い位置にあり、凹部底面 5 b にある拡散層 3 0 b 同士を略直線状に接統している。また、より好ましくは、埋込拡散層 3 0 a の不純物分布のピークがシリコン基板 1 の凸部 1 a の下方において凹部の底面 5 b よりも深い位置にくるようにする。尚、本発明において、拡散層及び埋込拡散層の不純物分布の境界は、不純物濃度が 10^{13} cm^{-2} 以上であるか否かによって決めるものとする。よって、拡散層 3 0 b と埋込拡散層 3 0 a は、ここでは不純物濃度が 10^{13} cm^{-2} 以上の部分である。

【0012】

ソース線 3 0 がこのような構造を持つことにより、あるメモリセルのソース領域 (= 凸部 1 a) から凹部側面 5 a の拡散層 3 0 b を介して電流が一旦読み出されると、その電流は、凹部底面 5 b の拡散層 3 0 b と凸部 1 a の埋込拡散層 3 0 a を交互に経由して、ほぼ直線的な経路を流れることができる。即ち、ソース線 3 0 は、半導体基板の凸部 1 a において、凹部 5 の底面よりも深い位置にも不純物が分布していることにより、凹部 5 の底面同士を略直線状に接統する電流経路を有する。従って、ソース線 3 0 b の実質的な線長が短縮され、ソース線抵抗が低減される。また、拡散層 3 0 b への不純物の注入が不十分となり易い凹部側面 5 a を通過する回数が単位ビット当たり 1 回で済むため、そのことによってソース線抵抗が低減する。

【0013】

これに対し、従来のソース線は、図 5 に示すように、シリコン基板 1 の表面に沿って不純物が分布した拡散層 2 0 のみによって構成されていた。そのため、あるメモリセルのソース領域 (= 凸部 1 a) から凹部側面 5 a の拡散層 2 0 を介して読み出された電流は、凹部底面 5 b、凹部側面 5 a、及び隣接セルのソース領域 1 a を繰り返し経由して流れることになる。そのため、見掛けのソース線長に

比べて、凹部側面 5 b の分だけ実効的なソース線長が長くなっていた。しかも、凹部側面 5 a は、凹部底面 5 b に比べて不純物が注入されにくく、高抵抗となり易いため、ソース線 2 0 の抵抗は一層増大していた。

【 0 0 1 4 】

本発明の効果は、高集積化のためにメモリセルを縮小すると一層顕著になる。特に、半導体基板に形成したトレンチ（＝溝）に素子分離絶縁膜を埋め込むトレンチ素子分離を行う場合、メモリセルのゲート幅（W）の縮小に比べてトレンチ深さはあまり縮小されないため、極めて顕著な効果がある。即ち、従来のソース線では、メモリセルが縮小されるにつれてソース線長の中で凹部側面の占める比率が相対的に大きくなるため、メモリセルのゲート幅（W）方向の大きさに対する隣接メモリセル間のソース線長の比率が増加していくことになり、単位ビット当たりのソース線抵抗が上昇していた。これに対し、本件発明の場合には、メモリセルが縮小されても、メモリセルのゲート幅（W）方向の大きさに対する隣接メモリセル間のソース線長の比率が殆ど増加しないため、単位ビット当たりのソース線抵抗の上昇が大幅に抑制される。

【 0 0 1 5 】

本件発明では、埋込拡散層を形成してソース線とするため、ソース領域が深い構造となり、ソース・ドレイン間耐圧が従来に比べて低下することもある。しかしながら、書き込み、消去、読出し動作のいずれにおいても、ソースが接地レベル又はオープン（フローティング）状態にあるフラッシュメモリであれば、耐圧低下の考慮は必要ない。従って、ドレインではなくソース領域を深くすることを特徴とする本件発明は、そのような動作を行うフラッシュメモリに特に適している。

【 0 0 1 6 】

尚、本実施の形態においては、凹部底面 5 b において、埋込拡散層 3 0 a と拡散層 3 0 b が上下に接続しているため、凹部底面 5 b でのソース線の断面積が大きくなり、ソース線抵抗が一層低くなっている。特に、本実施の形態では、埋込拡散層 3 0 a の深さが、凹部 5 の下方において凸部 1 a の下方よりも深くなっているため、凹部底面 5 b でのソース線の断面積拡大効果が一層顕著である。但し

、埋込拡散層 3 0 a の形状は特に限定されず、凹部底面 5 b にある拡散層 3 0 b と同土を略直線状に接続できる形状であれば、いかなる形状であっても良い。

【0 0 1 7】

また、埋込拡散層 3 0 a と拡散層 3 0 b の形成に用いる不純物は、一般的な n 型又は p 型不純物であれば何を用いても良い。例えば、n 型不純物であれば A s 、 P 、 S b 等を用いることができ、p 型不純物であれば B 、 B F ₂ 等を用いることができる。但し、コントロールゲート電極 1 4 の下方への拡散を防止するために、原子量又は分子量の大きな不純物を用いることが有利であり、例えば A s や B F ₂ 等を用いることが好ましい。また、埋込拡散層 3 0 a と拡散層 3 0 b における不純物のドーズ量は、従来のソース線と同様とすることができ、例えば $1 0^{14} \sim 1 0^{15} \text{ cm}^{-2}$ とすることができる。尚、埋込拡散層 3 0 a と拡散層 3 0 b の不純物濃度は、互いに等しくても、異なっても良い。埋込拡散層 3 0 a の不純物濃度が、拡散層 3 0 b の不純物濃度よりも高い場合は、埋込拡散層 3 0 a を流れる電流量が増加するのでソース領域の段差の影響をより小さくすることができる。一方、拡散層 3 0 b の不純物濃度が、埋込拡散層 3 0 a の不純物濃度よりも高い場合は、ソース・ドレイン間耐圧を高く保持しつつ、ソース抵抗を低減することができる。

【0 0 1 8】

次に、本実施の形態に係る不揮発性半導体発光装置の製造方法について説明する。本実施の形態の不揮発性半導体発光装置の製造方法は、大略、半導体基板上に、素子分離絶縁膜を形成する工程と、コントロールゲート電極、ソース領域及びドレイン領域を有し、前記素子分離絶縁膜によって互いに素子分離されたトランジスタを、マトリックス状に複数個形成する工程と、前記ソース領域を含み前記コントロール電極に平行なソース線形成領域に、前記コントロール電極に対して自己整合的に不純物を注入することにより、前記素子分離絶縁膜の底面よりも深い位置まで不純物が分布した埋込拡散層を形成する工程と、前記ソース線形成領域に、前記コントロール電極に対して自己整合的に不純物を注入することにより、不純物が前記半導体基板の表面に沿って分布し、その分布が前記埋込拡散層に連続した拡散層を形成する工程と、を備える。

【 0 0 1 9 】

尚、前記埋込拡散層の形成後、前記拡散層の形成前に、前記ソース線形成領域の前記素子分離絶縁膜を除去することが好ましい。また、前記拡散層を形成する工程において、前記不純物の注入を、前記半導体基板に対して鉛直方向と斜め方向から行うことが好ましい。

以下、詳述する。

【 0 0 2 0 】

(1) トレンチ素子分離形成

まず、図6 (a) ~ (d)、図7 (e) ~ (g) に示すように、シリコン基板上にトレンチ素子分離を形成する。図6 (a) ~ (d) 及び図7 (e) ~ (g) は、図1のB-B'断面における断面図を示す工程図である。最初に、図6 (a) に示すように、シリコン基板1の表面に、200 Å程度の熱酸化膜2を形成し、続いて2000 Å程度の窒化膜3を堆積する。そして、フォトレジスト4を形成し、トレンチを形成する領域のレジスト4をフォトリソグラフィによって除去する。

【 0 0 2 1 】

次に、図6 (b) に示すように、フォトレジスト4をマスクとして窒化膜3及び熱酸化膜2をドライエッチし、フォトレジスト4を除去後、パターニングした窒化膜3及び熱酸化膜2をマスクとして、シリコン基板1をドライエッチングすることにより、深さ3000 Å程度のトレンチ5を形成する。尚、トレンチ5の深さの下限は、1000 Å以上、より好ましくは2000 Å以上とすることが望ましく、トレンチ5の深さの上限は、3000 Å以下、より好ましくは5000 Å以下とすることが望ましい。

【 0 0 2 2 】

次に、図6 (c) に示すように、トレンチ5を形成するためのエッチングによるプラズマダメージ層の除去、及びトレンチ5のコーナ部での電界集中を抑制するためのトレンチ5のコーナ丸め等を目的として、トレンチ内壁を300 Å程度熱酸化する。その後、素子分離絶縁膜として5000 Å程度の埋込酸化膜6を堆積し、トレンチ5を埋め込む。

【 0 0 2 3 】

次に、図 6 (d) に示すように、埋込酸化膜 6 を化学的機械研磨 (CMP) に
よって平坦化した後、図 7 (e) に示すように、埋込酸化膜 6 を希フッ酸で所定
量だけウエットエッチする。そして、図 7 (f) に示すように、窒化膜 3 を熱リ
ン酸で除去することにより、トレンチ素子分離 (STI) を形成する。そして、
図 7 (g) に示すように、N ウェル及び P ウェルを形成するためのイオン注入を
行った後、熱酸化膜 2 を希フッ酸で除去する。

【 0 0 2 4 】

(2) 2 層ゲート構造の形成

次に、図 8 (h) ~ (j) に示すように、2 層ゲート構造を形成する。図 8 (h) ~ (j) は、図 1 の B-B' 断面における断面図を示す工程図である。まず、図 8 (h) に示すように、メモリセルのトンネル酸化膜となる 100 Å 程度の熱酸化膜 7 を形成し、続けてメモリセルのフローティングゲート電極となる 1000 Å 程度のリン添加ポリシリコン 8 を堆積する。そして、フォトリソグレイによって埋込酸化膜 6 上のレジスト 9 をストライプ状に除去する。

【 0 0 2 5 】

次に、図 8 (i) に示すように、レジスト 9 をマスクとして、リン添加ポリシリコン 8 をドライエッチすることにより、フローティングゲート電極のゲート幅 (W) 方向のパターニングを行う。レジスト 9 の除去後、リン添加ポリシリコン 8 の表面に、50 Å 程度の熱酸化膜、続けて窒化膜、酸化膜を堆積して、酸化膜 / 窒化膜 / 酸化膜の 3 層からなる ONO 膜 10 を形成する。

【 0 0 2 6 】

この工程の後、周辺回路領域 (図示せず) にゲート構造を形成するために必要な処理を行う。即ち、メモリセル領域をフォトリソグレイで覆った後、周辺回路領域の ONO 膜 10、リン添加ポリシリコン 8、トンネル酸化膜 7 を除去する。メモリ領域を覆うフォトリソグレイを除去した後、図 8 (j) に示すように、周辺回路領域のゲート酸化膜となる 150 Å 程度の熱酸化膜を形成し、続けてメモリセルのコントロールゲート電極及び周辺回路のゲート電極となる 1000 Å 程度の

リン添加ポリシリコン13a、タングステンシリサイド(WSi)13bを堆積し、さらに2000Å程度の酸化膜15を堆積する。

【0027】

次に、レジスト（図示せず）をマスクとして、酸化膜15を所定のゲート電極形状にドライエッチングする。フォトリジストを除去後、パターニングした酸化膜15をマスクとして、タングステンシリサイド(WSi)13b及びリン添加ポリシリコン13aをドライエッチして、メモリセルのコントロールゲート電極および周辺回路のゲート電極を形成する。コントロールゲート電極は、ストライプ状に形成する。

【0028】

そして、周辺回路領域をレジストによって覆った後、ストライプ状にパターニングされた酸化膜15、タングステンシリサイド13b、ポリシリコン13aをマスクとして、メモリセル領域のONO膜10及びリン添加ポリシリコン8をドライエッチすることにより、フローティングゲート電極のゲート長(L)方向のパターニングを行い、フローティングゲート電極を形成する。

【0029】

(3) ソース・ドレイン領域とソース線の形成

次に、図9(k)～(n)及び図10(k)～(n)に示すように、メモリセルのソース・ドレイン領域とソース線の形成を行う。図9(k)～(n)は、図1のA-A'断面における断面図を示す工程図であり、図10(k)～(n)は図1のC-C'断面における断面図を示す工程図である。図9(k)～(n)と図10(k)～(n)は、同一の工程を異なる断面から見た図である。

【0030】

まず、図9(k)及び図10(k)に示すように、周辺回路を覆うレジスト、酸化膜15、コントロールゲート電極14、ONO膜10、フローティングゲート電極8をマスクとして不純物のイオン注入を行い、自己整合的にメモリセルのソース・ドレイン領域18を形成する。この時、ソース・ドレイン領域18は、図10(k)に示すようにシリコン基板1の凸部に形成される。

【0031】

次に、図9（1）及び図10（1）に示すように、周辺回路領域を覆うレジストを除去した後、周辺回路領域及びメモリセルのドレイン側半分を覆うレジスト19を形成する。そして、レジスト19、パターニングした酸化膜15、コントロールゲート電極14、ONO膜10、コントロールゲート電極8をマスクとして不純物のイオン注入を行い、自己整合的に埋込拡散層30aを形成する。ここで、埋込拡散層30aを形成するための不純物注入をソース・ドレイン領域18への不純物注入よりも高電圧で行うことにより、埋込拡散層30aをソース・ドレイン領域18よりも深い位置に形成する。埋込拡散層30aの深さは、少なくともソース領域18の下方における埋込拡散層30の不純物分布の下端がトレンチ5の底面よりも深い位置にくるようにする。より好ましくは、ソース領域18の下方において、埋込拡散層30aの不純物分布のピークがトレンチ5の底面よりも深い位置にくるようにする。埋込拡散層30aを形成するためには、例えば、As（砒素）を500～600keV程度のエネルギーで 10^{15}cm^{-2} オーダー注入すれば良い。

【0032】

また、本実施の形態では、図10（1）に示すように、埋込拡散層30aの深さが、トレンチ5の下方においてソース領域18の下方よりも深くなっている。これは、埋込酸化膜6の上面にトレンチ5の底面と対向してストライプ状の溝6aが形成されているためである。即ち、不純物を全体に同じ条件で注入した場合、シリコン基板1の表面から凹んだストライプ溝6aの部分では不純物をより深く侵入させることができる。そのため、トレンチ5の下方における埋込拡散層30aの深さが、他の領域に比べて深くなる。このように、埋込酸化膜6の上面を所定深さにエッチングしておくことにより、埋込拡散層30aの形状をある程度制御することができる。

【0033】

次に、図9（m）及び図10（m）に示すように、フォトリジスト19、パターニングした酸化膜15、コントロールゲート電極14、ONO膜10、フローティングゲート電極8をマスクとして、埋込酸化膜をドライエッチングによって自己整合的に除去する。

【0034】

そして、図9 (n) 及び図10 (n) に示すように、レジスト19、パターンニングした酸化膜15、コントロールゲート電極14、ONO膜10、コントロールゲート電極8をマスクとして不純物のイオン注入を行い、自己整合的に拡散層30bを形成する。拡散層30bは、シリコン基板1の表面に沿って不純物が分布するような注入深さとする。拡散層30bを形成するためには、例えば、Asを30～40keV程度のエネルギーで 10^{15} cm^{-2} オーダ注入すれば良い。

【0035】

こうして形成された埋込拡散層30aと拡散層30bは接統一体化してソース線を構成する。即ち、埋込拡散層30aは、その不純物分布の下端がトレンチ5の底面よりも深い位置にあるため、トレンチ5の底面にある拡散層30b同士を略直線状に接統することができる。ソース線30がこのような構造を持つことにより、あるメモリセルのソース領域からトレンチ側面の拡散層30bを介して電流が一旦読み出されると、その電流は、トレンチ底面の拡散層30bと埋込拡散層30aを交互に経由して、ほぼ直線的な経路を流れることができる。

【0036】

また、埋込拡散層30aと拡散層30bを形成する深さは、図10 (n) に示すように、トレンチ5の底面において埋込拡散層30aと拡散層30bが上下に接統するような深さとすることが好ましい。これにより、トレンチ5の底面でのソース線30の断面積が大きくなり、ソース線抵抗が一層低くなる。特に、本実施の形態では、トレンチ5の下方における埋込拡散層30aが、ソース領域18の下方における埋込拡散層30aよりも深い位置に形成されているため、トレンチ底面でのソース線30の断面積拡大効果が一層顕著となる。

【0037】

尚、本実施の形態では、埋込拡散層30aを形成した後、拡散層30bを形成する前に素子分離絶縁膜である埋込酸化膜6をエッチングにより除去した。これには、埋込拡散層30aの注入深さや形状の制御が容易になる、という利点がある。即ち、埋込酸化膜6によってトレンチが埋められた状態で埋込拡散層30aの形成を行うことにより、トレンチ5の影響を排除して埋込酸化膜6をシリコン

基板1の主面に略平行に形成することが可能になる。また、上述の通り、埋込酸化膜6の上面を所定形状にエッチングしてから埋込拡散層30aのイオン注入を行えば、埋込拡散層30aの形状や注入深さをある程度制御することもできる。

【0038】

(4) ドレイン・コンタクトホールとビット線の形成

次に、図11(o)～(q)及び図12(r)～(s)に示すように、ドレイン・コンタクトホールとビット線の形成を行う。まず、図11(o)に示すように、フォトリソグロフ219を除去後、イオン注入を行って、周辺回路領域のN/P拡散層を形成した後、2000Å程度の酸化膜22を堆積する。尚、コントロール電極に対して自己整合的にコンタクトホールを形成するSAC(Self Aligned Contact)を用いる場合には、2000Å程度の酸化膜22に代えて、100Å程度の酸化膜と2000Å程度の窒化膜との積層膜を形成する。

【0039】

次に、図11(p)に示すように、酸化膜22をエッチバックしてサイドウォール23を形成した後、イオン注入を行って周辺回路領域の N^+ / P^+ 拡散層を形成する。そして、図11(q)に示すように、層間絶縁膜として10000Å程度のBPSG25を堆積し、CMP等による平坦化を行った後、フォトリソグロフ26を形成し、コンタクトホールの形成領域のレジスト26をフォトリソグロフによって除去する。

【0040】

次に、図12(r)に示すように、フォトリソグロフ26をマスクとしてBPSG膜25をドライエッチングすることによりコンタクトホール27を形成する。そして、図12(s)に示すように、フォトリソグロフ26を除去後、コンタクトホール27にタングステン(W)を埋めこんでプラグを形成した後、4000Å程度のアルミ等の金属膜を堆積し、フォトリソグロフによってパターニングをしてビット線28とする。

【0041】

実施の形態2.

本実施の形態では、実施の形態1の拡散層30bの形成工程において、不純物

の注入を、シリコン基板 1 に対して鉛直方向と斜め方向から行うことにより、トレンチ 5 の側面におけるソース線 3 0 の抵抗を低減する。図 1 0 (n) に示したように、拡散層 3 0 b の形成工程で不純物を鉛直方向のみから注入した場合、トレンチ 5 の側面部分は底面部分に比べて不純物が注入されにくい傾向がある。特に、トレンチ 5 の側壁が立っている場合に、その傾向が顕著となる。本発明によれば、読出し電流がトレンチ 5 の側面を通過するのは単位ビット毎に 1 回で済むため、トレンチ 5 側面の影響は比較的小さいが、トレンチ 5 側面における不純物濃度が極端に小さくなった場合には影響を無視することができない。そこで、本実施の形態では、シリコン基板 1 に対して斜め方向からも不純物の注入を行うことにより、トレンチ 5 の側面部分における不純物濃度を高める。これにより、トレンチ 5 の側壁が立っているような場合であっても、ソース線 3 0 の抵抗を低く抑制することができる。

【 0 0 4 2 】

シリコン基板 1 に対する斜め方向の不純物注入は、鉛直方向の注入の前後いずれで行っても良く、装置上可能であれば鉛直方向の注入と同時に進行しても良い。また、注入の回数も特に制限されず、鉛直方向の注入と斜め方向の注入を各々複数回行っても良い。

【 0 0 4 3 】

実施の形態 3 .

本実施の形態では、実施の形態 1 の不揮発性半導体記憶装置において、埋込拡散層 3 0 a と拡散層 3 0 b の間に、第 2 の拡散層 3 0 c を形成することにより、ソース線の抵抗をさらに低減する。その他の点は、実施の形態 1 と同様である。本実施の形態に係る不揮発性半導体記憶装置の例を、図 1 3 及び図 1 4 に示す。図 1 3 は、図 1 の A - A ' 断面に対応しており、図 1 4 は、図 1 の C - C ' 断面に対応している。好ましくは、図 1 4 に示すように、メモリセルとなる凸部 1 a において、埋込拡散層 3 0 a と拡散層 3 0 b が深さ方向に連続するように、埋込拡散層 3 0 a と拡散層 3 0 b の間に第 2 の拡散層 3 0 c が形成する。このように第 2 の拡散層 3 0 c を形成することにより、ソース線の抵抗を一層低減することができる。

【 0 0 4 4 】

尚、第 2 の拡散層 3 0 c を形成するには、例えば、実施の形態 1 の図 9 (n) 及び 1 0 (n) に示す工程において、拡散層 3 0 b の形成前又は形成後に、埋込拡散層 3 0 a と拡散層 3 0 b の間の注入深さとなるように 4 0 ~ 5 0 0 k e V の間で注入エネルギーを調節して A s を注入すれば良い。

【 0 0 4 5 】

上記実施の形態 1 乃至 3 では、トレンチ素子分離を行った場合を例に説明したが、本発明はこれに限定されない。例えば、フィールド酸化膜を形成して素子分離を行う選択酸化法 (L O C O S) を行う場合であっても、フィールド酸化膜を除去した後のシリコン基板には凹部が形成されるため、本件発明を適用することによりソース線抵抗低減の効果を得ることができる。

【 0 0 4 6 】

【発明の効果】

以上説明したように本件発明の不揮発性半導体記憶装置では、ソース線が拡散層と埋込拡散層から構成されているため、あるメモリセルのソース領域から読み出された電流は、凹部底面の拡散層と埋込拡散層を交互に經由して、ほぼ直線的な経路を流れることができる。従って、ソース線の実質的な線長が短縮され、ソース線抵抗が低減される。また、メモリセルが縮小されても、メモリセルのゲート幅 (W) 方向の大きさに対する隣接メモリセル間のソース線長の比率が殆ど増加しないため、スケーラビリティに優れた不揮発性半導体記憶装置を提供することができる。

【図面の簡単な説明】

【図 1】 図 1 は、本発明の実施の形態 1 に係る不揮発性半導体記憶装置を示す平面図である。

【図 2】 図 2 は、図 1 の B - B ' 断面を示す断面図である。

【図 3】 図 3 は、図 1 の A - A ' 断面を示す断面図である。

【図 4】 図 4 は、図 1 の C - C ' 断面を示す断面図である。

【図 5】 図 5 は、埋込拡散層を形成しない場合のソース線の形状を模式的に示す断面図である。

【図6】 図6(a)～(d)は、本発明の実施の形態2に係る半導体記憶装置の製造方法を示す工程図である。

【図7】 図7(e)～(g)は、図6の続きの工程を示す工程図である。

【図8】 図8(h)～(j)は、図7の続きの工程を示す工程図である。

【図9】 図9(k)～(n)は、図8の続きの工程を示す工程図である。

【図10】 図10(k)～(n)は、図9に示す工程を別の断面から示した工程図である。

【図11】 図11(o)～(q)は、図9の続きの工程を示す工程図である。

【図12】 図12(r)～(s)は、図11の続きの工程を示す工程図である。

【図13】 図13は、本発明の実施の形態3に係る不揮発性半導体装置について、図1のA-A'断面に対応する断面を示す図である。

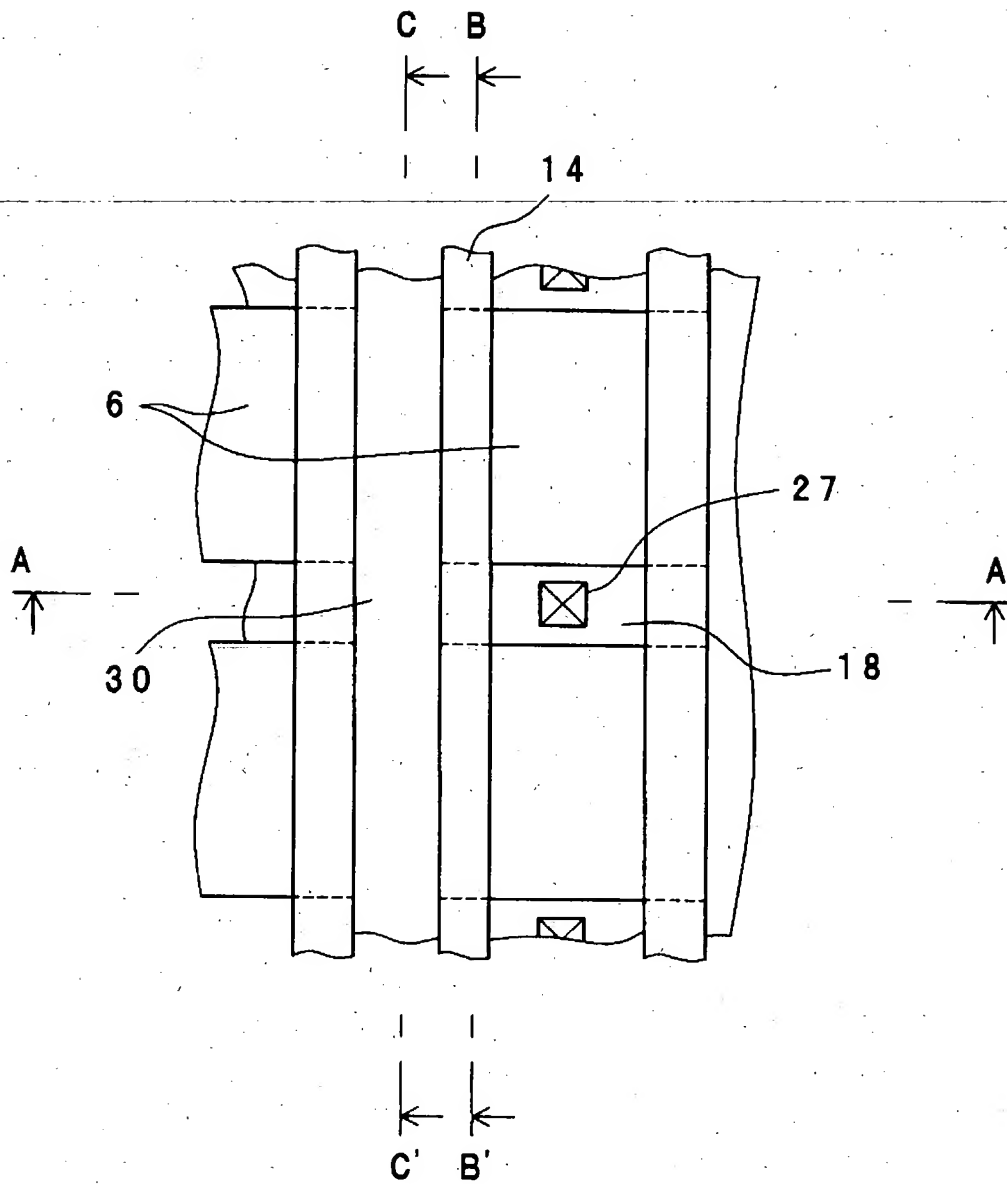
【図14】 図14は、本発明の実施の形態4に係る不揮発性半導体装置について、図1のC-C'断面に対応する断面を示す図である。

【符号の説明】

1 シリコン基板、5 トレンチ、6 素子分離絶縁膜、8 フローティングゲート電極、14 コントロールゲート電極、18 ドレイン、27 コンタクトホール、30a 埋込拡散層、30b 拡散層、30 ソース線。

【書類名】 図面

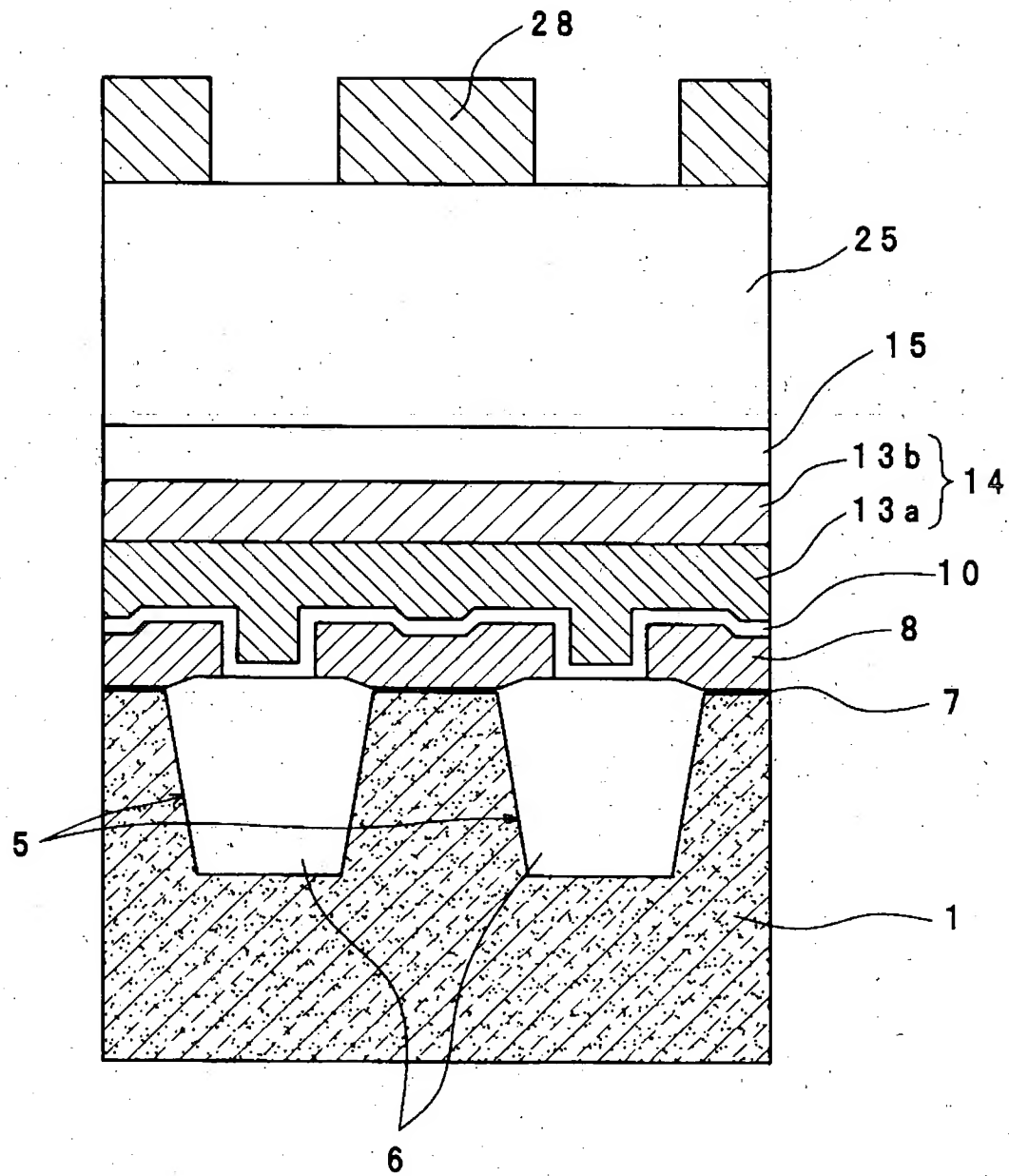
【図1】



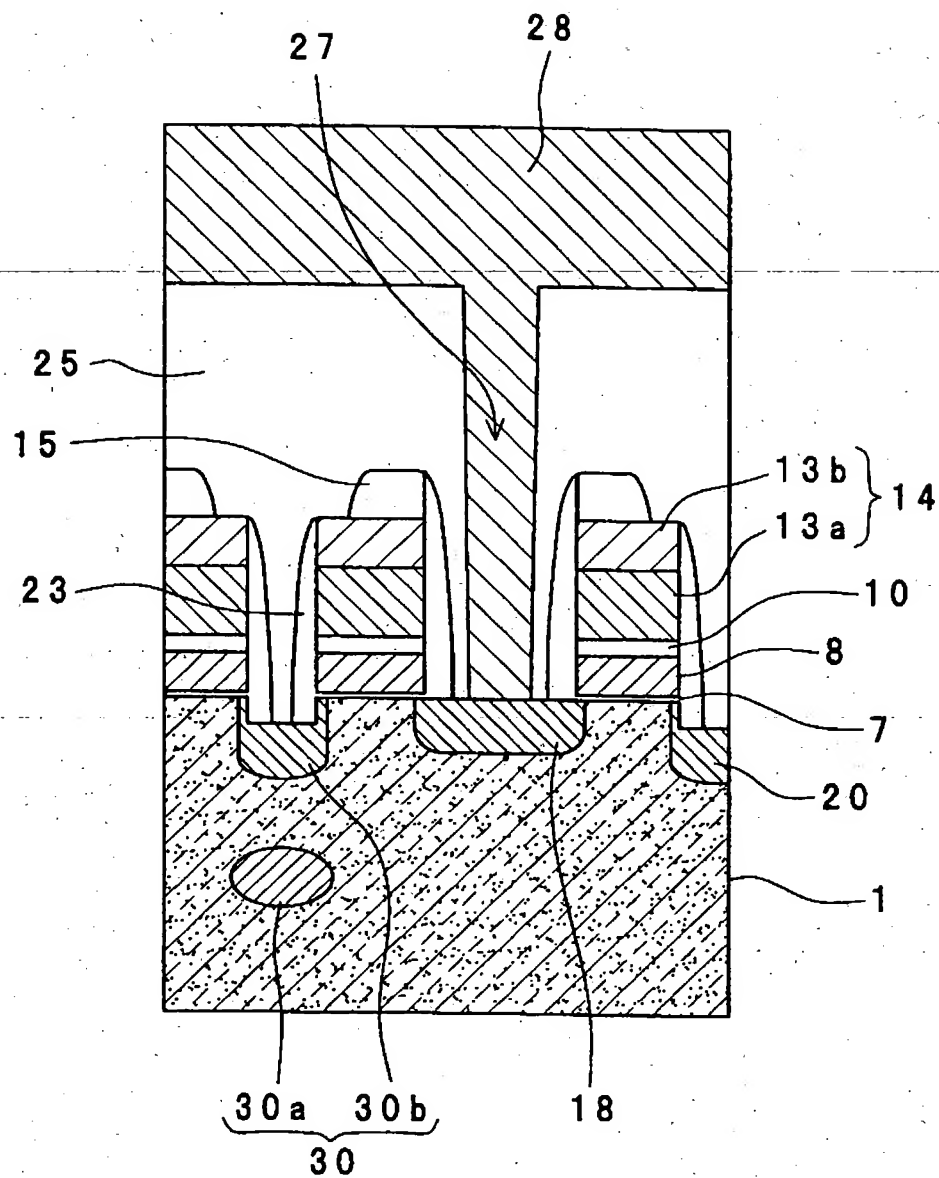
- 14: コントロールゲート
- 30: ソース線
- 18: ドレイン
- 6: 埋込酸化膜(素子分離絶縁膜)

【図 2】

- 5: トリチ
6: 埋込酸化膜
8: フォーミングゲート
14: コントロールゲート

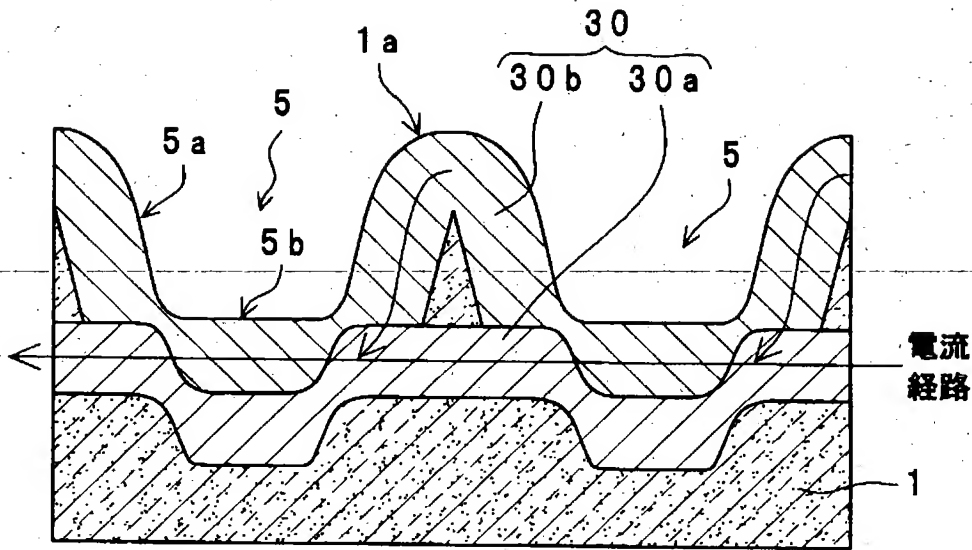


【図3】



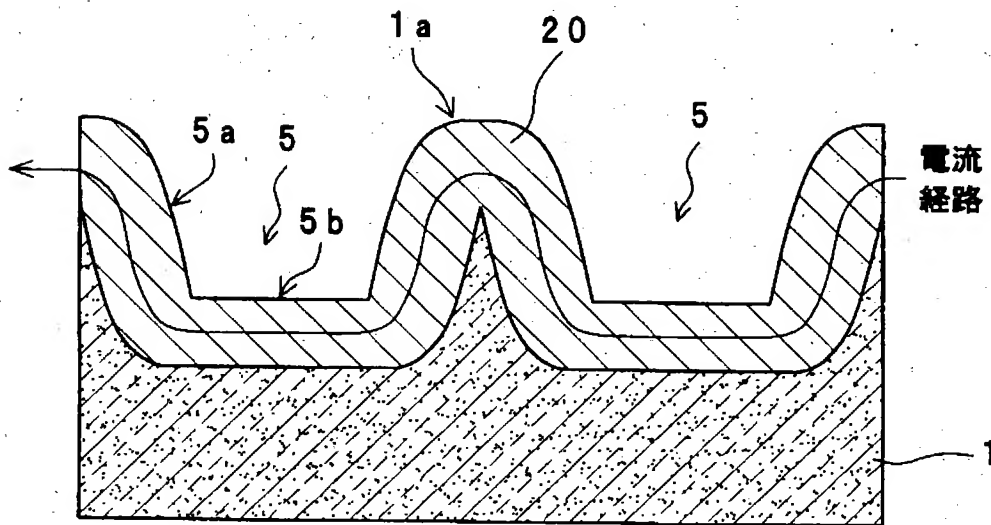
8:フローラインゲート
 14:コントロールゲート
 30:ソース線
 18:ドレイン
 28:ビット線

【図4】



30a:埋込拡散層
30b:拡散層 } 30:γ-線

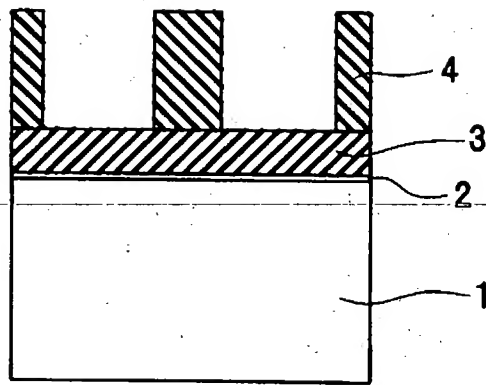
【図5】



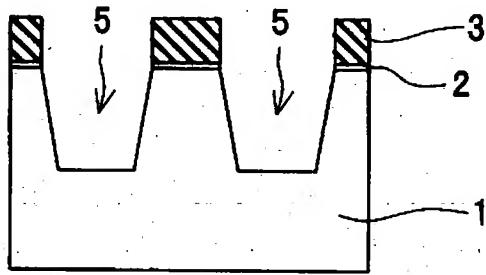
20:γ-線

【図6】

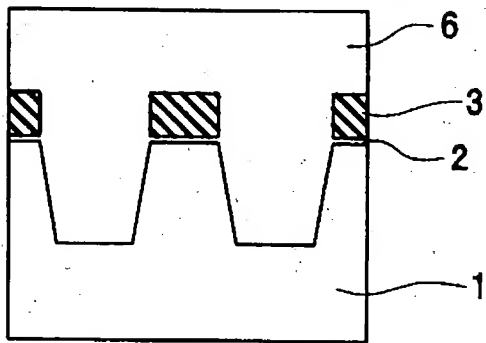
(a)



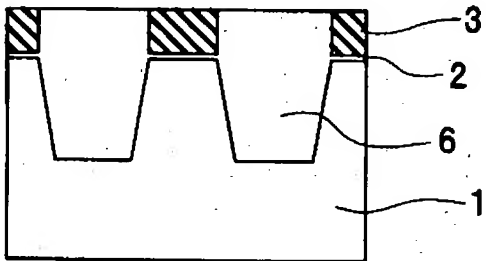
(b)



(c)

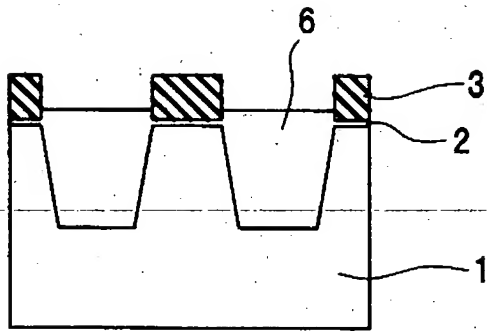


(d)

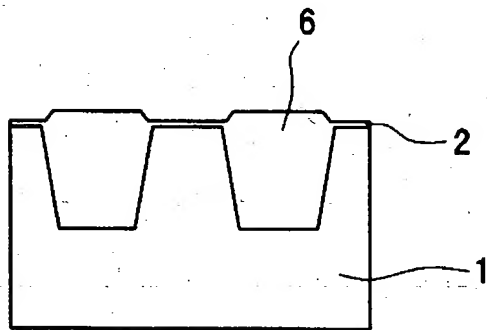


【図 7】

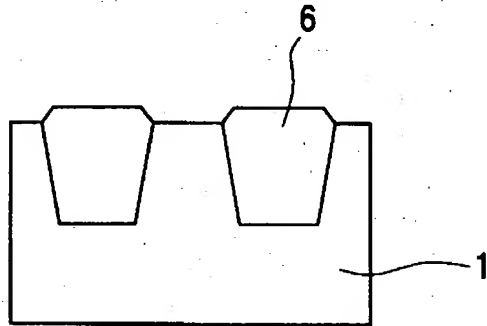
(e)



(f)

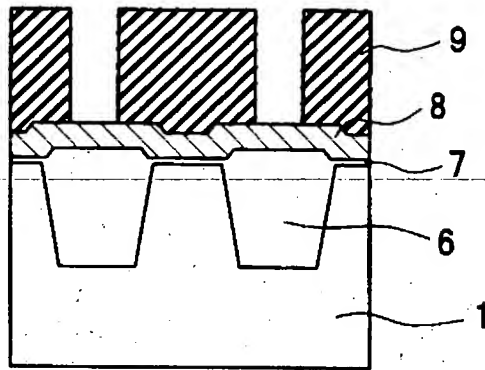


(g)

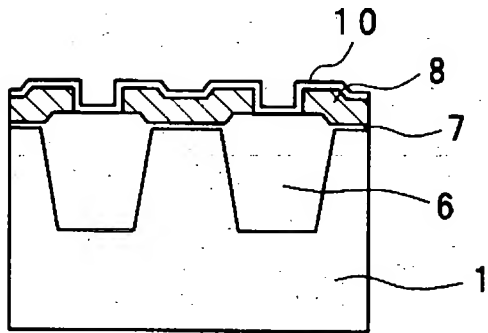


【図 8】

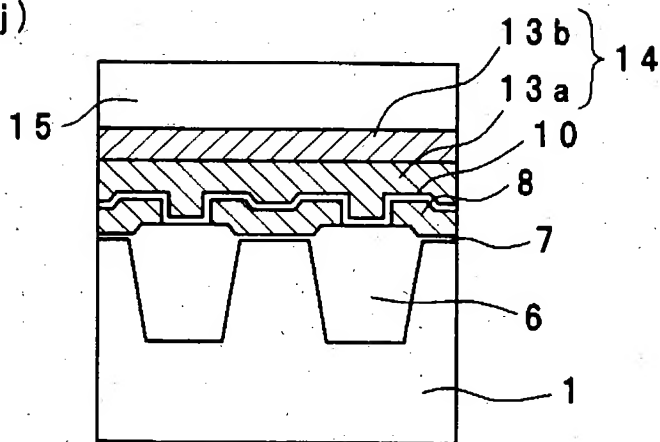
(h)



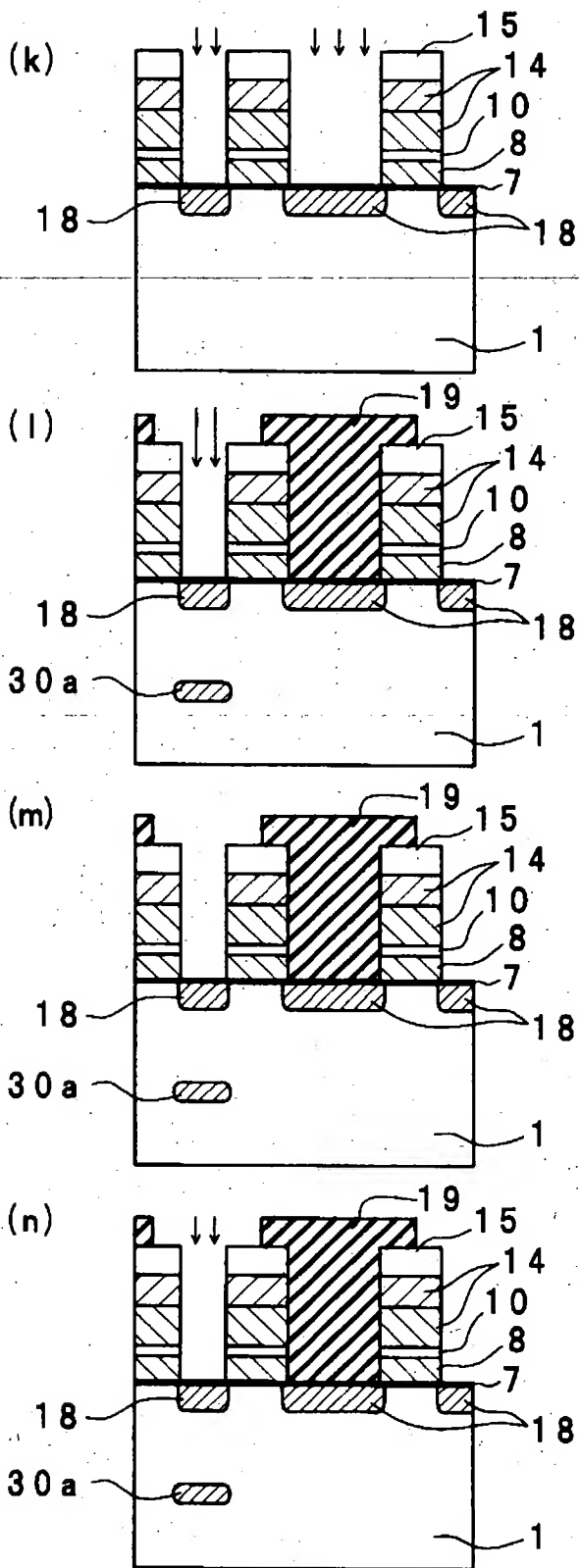
(i)



(j)

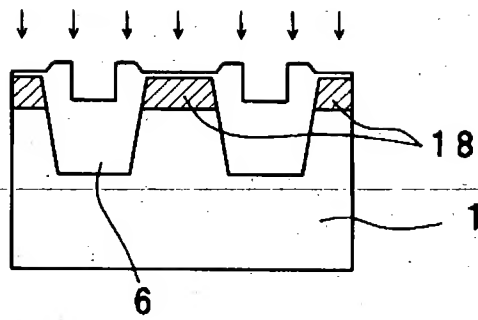


【図9】

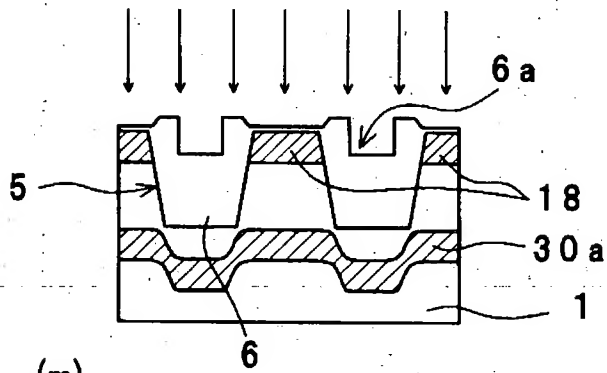


【図 10】

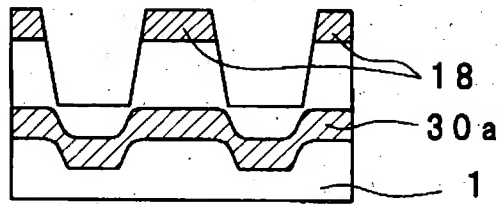
(k)



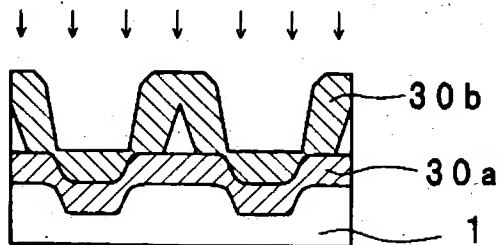
(l)



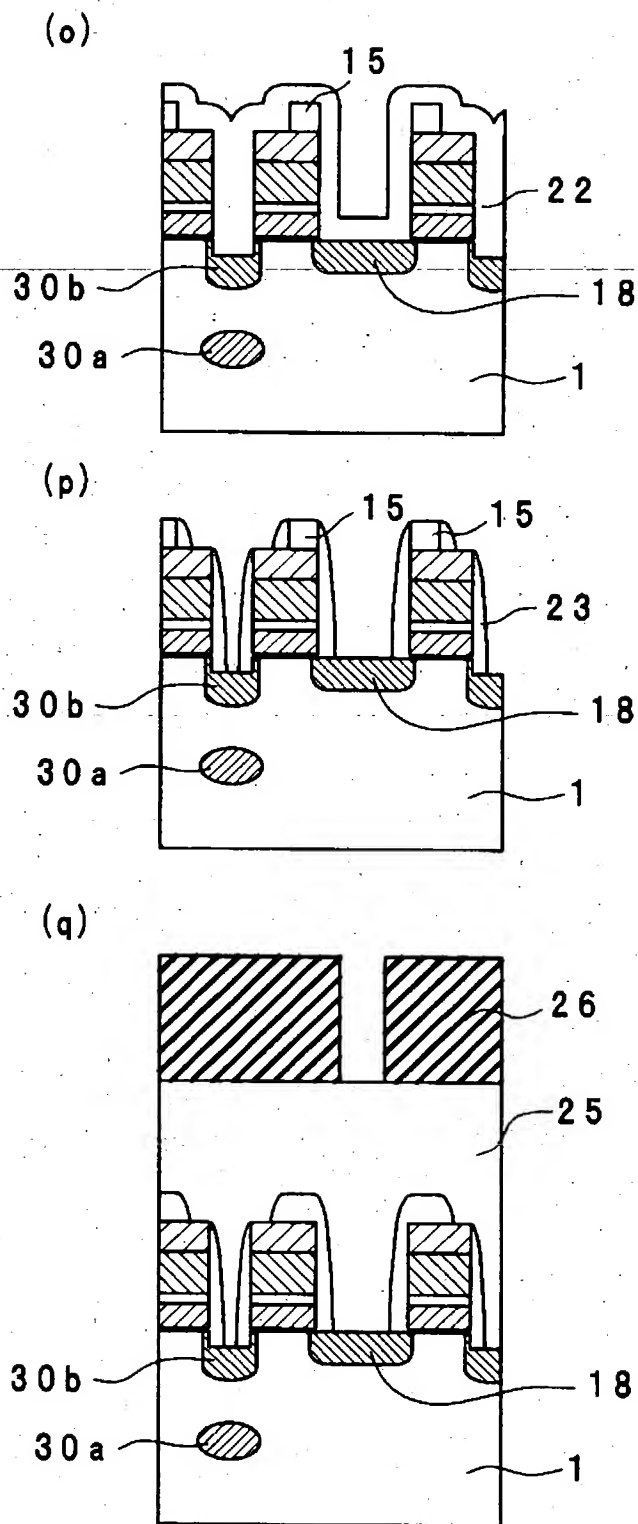
(m)



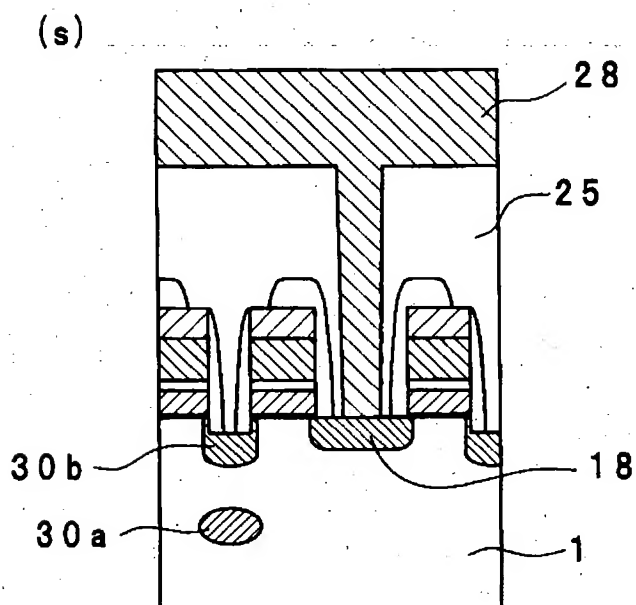
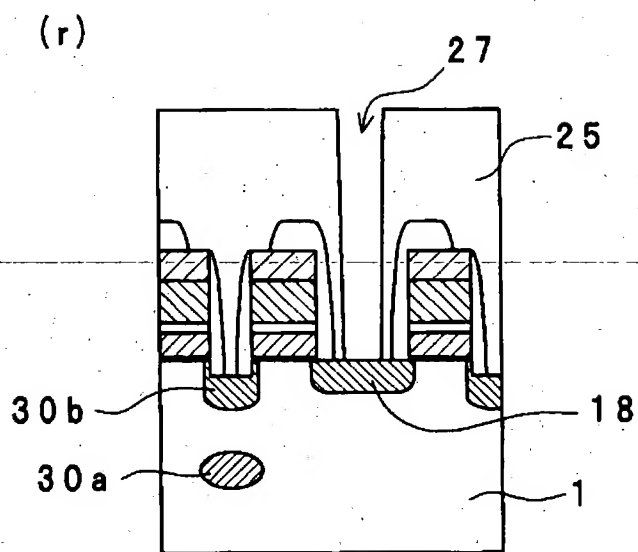
(n)



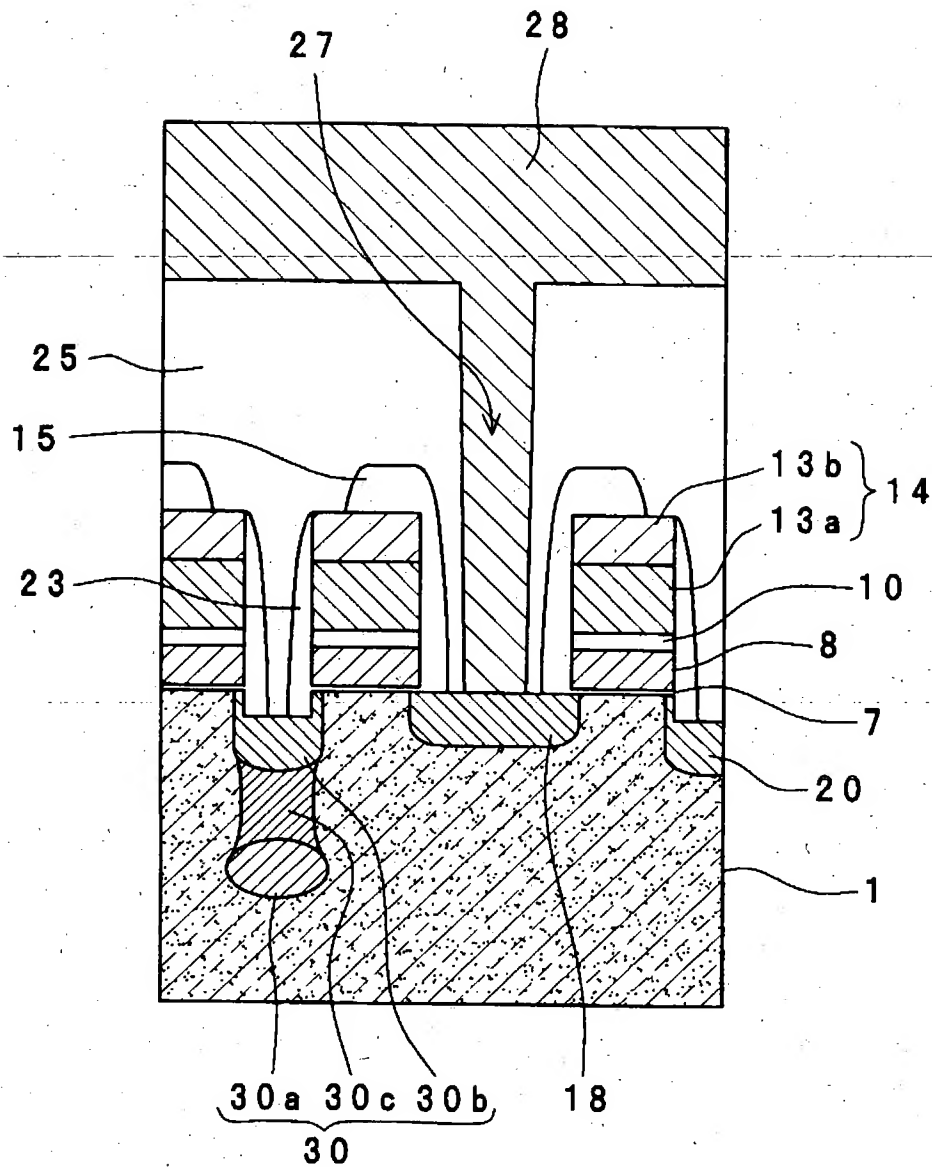
【図 11】



【図 12】

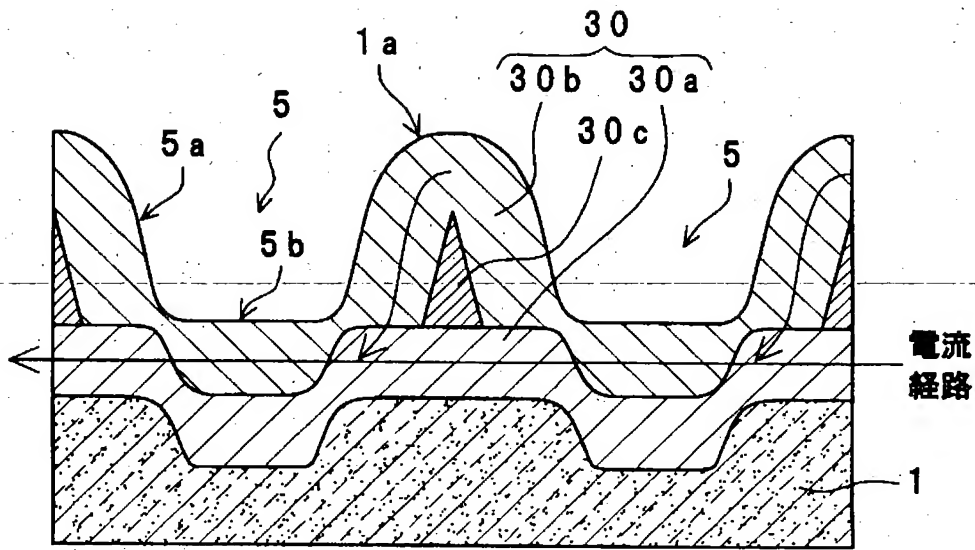


【図 1.3】



8: フローライン・ゲート
14: コントロールゲート
30: ソース線
18: ドレイン
28: ヒット線

【図14】



30a:埋込拡散層
 30b:拡散層
 30c:第2の拡散層

} 30:ツース線

【書類名】 要約書

【要約】

【課題】 ソース線抵抗が低く、スケーラビリティに優れた不揮発性半導体記憶装置を提供すること。

【解決手段】 コントロールゲート電極に対して自己整合的に形成されたソース線30を有する不揮発性半導体記憶装置であって、半導体基板1の表面は、ソース線30の形成領域において、メモリセルの部分が凸部1aとなり、素子分離絶縁膜が除去された部分が凹部5となっている。ソース線30は、半導体基板1の表面に沿って不純物が分布した拡散層30bと、拡散層30bよりも深い位置に不純物が分布した埋込拡散層30aとを有し、埋込拡散層30aが凹部底面5bにある拡散層30b同士を接続している。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日	1990年 8月24日
[変更理由]	新規登録
住 所	東京都千代田区丸の内2丁目2番3号
氏 名	三菱電機株式会社